

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62257698 A**

(43) Date of publication of application: **10 . 11 . 87**

(51) Int. Cl. **G11C 11/40**

(21) Application number: **61099903**

(22) Date of filing: **30 . 04 . 86**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

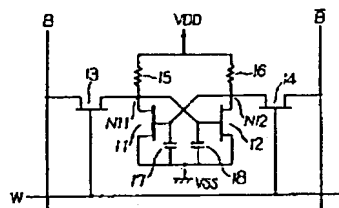
(72) Inventor: **TANAKA KOTARO
KAWAKAMI YASUSHI
AKIYAMA MASAHIRO**

(54) SEMICONDUCTOR STATIC MEMORY CELL

(57) Abstract:

PURPOSE: To prevent suitably the destruction of read due to stored electric charge by connecting respectively a capacitance between a constant potential and each drain of the 1st and 2nd FETs to utilize the discharge state of the capacitance thereby improving the read speed.

CONSTITUTION: When a signal of H level is stored in a node N11 and a signal of L level is stored in a node N12, a capacitor 17 is discharged and a capacitor 18 is charged. In bringing the word line W to the H level, since the impedance of the capacitor 17 in the discharge state is low, the signal of the node N12 is read quickly. Since bit lines B, the inverse of B have a large wiring capacitance in general, when the FETs 13, 14 are conducted, the content of the nodes N11, N12 is changed by the momentary level of the bit lines B, the inverse of B, that is, read destruction takes place, but the electric charge in the capacitors 17, 18 hardly cause read destruction.



COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭62-257698

⑫ Int.Cl.

G 11 C 11/40

識別記号

3 0 1

庁内整理番号

7230-5B

⑭ 公開 昭和62年(1987)11月10日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体スタティックメモリセル

⑰ 特 願 昭61-99903

⑱ 出 願 昭61(1986)4月30日

⑲ 発 明 者	田 中 幸 太 郎	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	川 上 康	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	秋 山 正 博	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑲ 代 理 人	弁理士 柿本 恭成		

明 細 書

1. 発明の名称

半導体スタティックメモリセル

2. 特許請求の範囲

第1と第2の電界効果トランジスタのゲートとドレインがたすき接続されたフリップフロップ回路を有する半導体スタティックメモリセルにおいて、

前記第1および第2の電界効果トランジスタの各ドレインと一定電位との間に、それぞれ容量を接続したことを特徴とする半導体スタティックメモリセル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体スタティックメモリセルに関するものである。
(従来の技術)

従来、このような分野の技術としては、アイイイトランスアクションズ オン エレクトロン デバイセス (IEEE TRANSACTIONS ON ELECTRON DEVICES) 、 ED-32(9)(1985-9)P.1187-1201に記載されるものがあつた。以下、その構成を図を用いて説明する。

第2図は従来の半導体スタティックメモリセルの一構成例を示す回路図である。

このメモリセルは、データの入出力を行う一対のビット線B、 \bar{B} とアドレス信号伝送用のワード線Wを有し、これらビット線B、 \bar{B} 及びワード線Wには電界効果トランジスタ(以下、FETという)1,2,3,4、及び抵抗5,6が接続されている。ここで、FET1と2のゲートとドレインはたすき接続され、フリップフロップ回路を構成している。また、FET1は、そのドレインがノード(接続点)N1及び抵抗5を介して電源電圧VDDに、そのソースが接地電位VSSに、それぞれ接続されている。FET2は、そのドレインがノードN2及び抵抗6を介

特開昭62-257698(2)

して電源電圧VDDに、そのソースが接地電位VSSに、それぞれ接続されている。

次に、動作を説明する。

(i) 記憶動作

ワード線WがLレベルの時、FET3,4は高抵抗となり、FET1,2及び抵抗5,6で構成される回路がビット線B、 \bar{B} から切り離される。この時、ノードN1がHレベル、ノードN2がLレベルとすると、ノードN1のHレベルによりFET2が導通状態となってノードN2のレベルを下げるように動作し、またノードN2のLレベルはFET1を高抵抗状態にしてノードN1をHレベルにしようとする。そのため、ノードN1のHレベルとノードN2のLレベルは互いに現状態を保持するように作用し、記憶回路として動作する。また逆に、ノードN1がLレベル、ノードN2がHレベルの場合も、同様に現状態を保持するように動作する。

(ii) 読み出し動作

ワード線WにHレベルの信号を印加すると、

FET3,4が導通状態になり、ノードN1の信号が一方のビット線Bに、ノードN2の信号が他方の信号線 \bar{B} にそれぞれ現われ、このメモリに保持された記憶内容を読み出すことができる。

(iii) 書き込み動作

ワード線WにHレベルの信号を印加した状態で、一方のビット線BにLレベルの信号、他方のビット線 \bar{B} にHレベルの信号をそれぞれ外部から印加することにより、ノードN1にLレベル、ノードN2にHレベルの信号を書き込むことができる。
(説明が解決しようとする問題点)

しかしながら、上記構成のメモリセルでは、次のような問題点があった。

メモリセルの動作速度を速くするためには、FET1,2に大きなゲート幅のFETを使う必要がある。そうすると、FET3,4の導通時のインピーダンスに比べてFET1,2の導通時のインピーダンスが小さくなりすぎて書き込み不可能になるという問題点があった。

逆に、書き込みがしやすいようにFET1,2のゲート幅を小さくすると、読み出し時にビット線B、 \bar{B} 上の雑音によって記憶内容が変わる、いわゆる読み出し破壊が起こりやすくなるという問題点があった。

本発明は前記従来技術が持っていた問題点として、動作速度および保持特性上において制限を受ける点について解決した半導体スタティックメモリセルを提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、第1と第2のFETのゲートとドレインがたすき接続されたフリップフロップ回路を有する半導体スタティックメモリセルにおいて、前記第1および第2のFETの名ドレインと一定電位との間に、それぞれ容量を接続したものである。

(作 用)

本発明によれば、以上のように半導体スタティックメモリセルを構成したので、第1と

第2のFETのドレインと一定電位との間にそれぞれ接続された容量は、その放電状態により読み出し速度を向上させると共に、その蓄積電荷により読み出し破壊を防止するように働く。従って前記問題点を除去できるのである。

(実施例)

第1図は本発明の一実施例を示す半導体スタティックメモリセルの回路図である。

このメモリセルは、ワード線W及び一対のビット線B、 \bar{B} を有し、それらにFET11,12,13,14、抵抗15,16、及び容量17,18が接続されている。

FET(第1のFET)11は、そのドレインがノードN1及び抵抗15を介して電源電圧VDDに、そのソースが接地電位VSSに、そのゲートがノードN12に、それぞれ接続されている。FET(第2のFET)12は、そのドレインがノードN12及び抵抗16を介して電源電圧VDDに、そのソースが接地電位VSSに、そのゲートがノードN11に、それぞれ接続されている。これらFET11,12でフリップフロ

特開昭62-257698(3)

ブ回路が構成されている。

ノードN11は、容量18を介して接地電位VSSに接続されると共に、FET13のソースに接続されている。ノードN12は、容量17を介して接地電位VSSに接続されると共に、FET14のソースに接続されている。FET13は、そのドレインがビット線Bに、そのゲートがワード線Wにそれぞれ接続されている。FET14は、そのドレインがビット線Bに、そのゲートがワード線Wに接続されている。

本実施例の特徴は、従来の回路に容量17,18を付加した点にある。

次に動作について説明する。

このメモリセルにおけるノードN11,N12にビット線B、B上の信号が記憶される動作は、従来の回路と同じである。例えば、ノードN11にHレベル、ノードN12にLレベルの信号が記憶されていたとする。この時、一方の容量17は放電状態、他方の容量18は充電状態となっている。

次に、ワード線WをHレベルにすると、放電状

態にある容量17のインピーダンスが低いため、従来の回路がFET12における導通状態のインピーダンスだけでビット線BをLレベルにしようとしていたもの比べて、より速くノードN12上の信号を読み出せるようになる。また、ビット線B、Bは一般に大きな配線容量を有しているため、ワード線WをHレベルにしてFET13,14を導通状態にしたとき、その瞬間のビット線B、BのレベルによってノードN11,N12の内容が変化する、いわゆる読み出し破壊が起こるが、容量17,18の存在のために、該容量17,18に充電された電荷によって読み出し破壊が起こりにくくなっている。

このメモリセルの内容を書き換える書き込み動作の場合、容量17,18は充電と共に高インピーダンスとなるため、従来回路におけるFET1,2のゲート幅を大きくしたときのように、書き込み不可となることもない。また、書き込み時間については、このメモリセルの動作だけを見ると、容量17,18への充電時間が必要となるため、従来の回

路に比べて本実施例のメモリセルの方が長くなる。しかし、メモリセルへの書き込み時間は、一般に該メモリセルの動作速度よりも、周辺回路での所要時間が多くの部分を占めているため、あまり問題とならない。

このように、本実施例では容量17,18を設けたため、動作速度を速くできるばかりか、保持特性の向上を計ることができる。

なお、上記実施例では、容量17,18をFET12,11のドレインと接地電位VSSとの間に接続したが、これらの容量17,18をFET12,11のドレインと電源電圧VDDとの間に接続するか、あるいはそれら接地電位VSS及び電源電圧VDDの両方に接続するようにしても、上記実施例とほぼ同様の作用、効果が得られる。また、第1図中のFET13,14及び抵抗15,16等を他の回路素子に変えたり、それらの回路配置を変形することも可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば、容量を付加したので、該容量の放電状態を利用し

て読み出し速度の向上が計れると共に、該容量の蓄積電荷により読み出し破壊を的確に防止できる。

4.図面の簡単な説明

第1図は本発明の一実施例を示す半導体スタティックメモリセルの回路図、第2図は従来の半導体スタティックメモリセルの回路図である。

11…第1のFET、12…第2のFET、13,14…FET、15,16…抵抗、17,18…容量、B、B…ビット線、W…ワード線。

出願人代理人 橋 本 基 成

